



(43) 國際公開日
2004 年 12 月 23 日 (23.12.2004)

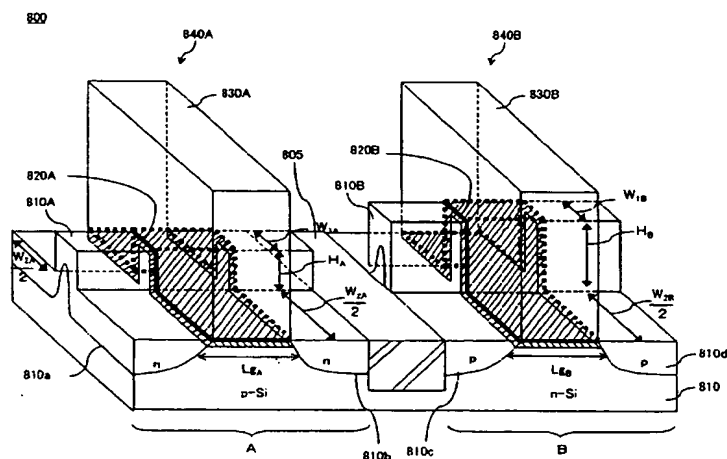
PCT

(10) 国際公開番号
WO 2004/112140 A1

- | | | |
|-----------------------------|---|---|
| (51) 国際特許分類: | H01L 27/092, H03D 7/14, H04B 1/30, H01L 29/78, 21/336 | 2 丁目 1 番地 Aichi (JP). 新潟精密株式会社 (NIIGATA SEIMITSU CO., LTD.) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 Niigata (JP). |
| (21) 国際出願番号: | PCT/JP2004/008215 | (71) 出願人 および |
| (22) 国際出願日: | 2004 年 6 月 11 日 (11.06.2004) | (72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2-1-1 7-3 0 1 Miyagi (JP). |
| (25) 国際出願の言語: | 日本語 | (72) 発明者; および |
| (26) 国際公開の言語: | 日本語 | (75) 発明者/出願人 (米国についてのみ): 西牟田 武史 (NISHIMUTA, Takefumi) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒9430834 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内 Niigata (JP). 須川 成利 (SUGAWA, Naruhiko) [JP/JP]; 〒951-8501 新潟県上越市須川 1 丁目 1 番 1 号 Niigata (JP). |
| (30) 優先権データ: | 特願 2003-168529 2003 年 6 月 12 日 (12.06.2003) JP | |
| (71) 出願人 (米国を除く全ての指定国について): | 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 | |

〔統葉有〕

- (54) Title: MIXER CIRCUIT



- (S7) Abstract:** A mixer circuit is configured by use of a CMOS transistor (800), which comprises a combination of a p-channel MOS transistor (840A) and an n-channel MOS transistor (840B) each including a semiconductor substrate (810A, 810) having at least two crystal surfaces and also including a gate insulation film (820A) located on the semiconductor substrate and formed for the at least two crystal surfaces, wherein the channel width of a channel formed in the semiconductor substrate along the gate insulation film is shown by the total sum of the channel widths of channels formed for the at least two crystal surfaces. This configuration can reduce 1/f noise occurring in the transistor elements, DC offsets occurring in output signals due to variations of the electric characteristics of the transistor elements, and signal distortions based on a channel length modulation effect.

- (57) 要約: 少なくとも二つの結晶面を有する半導体基板(810A、810)と、該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜(820A)とを有し、前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、pチャネルMOSトランジスタ(840)

〔続葉有〕